

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-031127
(43)Date of publication of application : 28.01.2000

(51)Int.CI. H01L 21/3065

H01L 21/304

(21)Application number : 10-214794 (71)Applicant : SUMITOMO METAL IND LTD

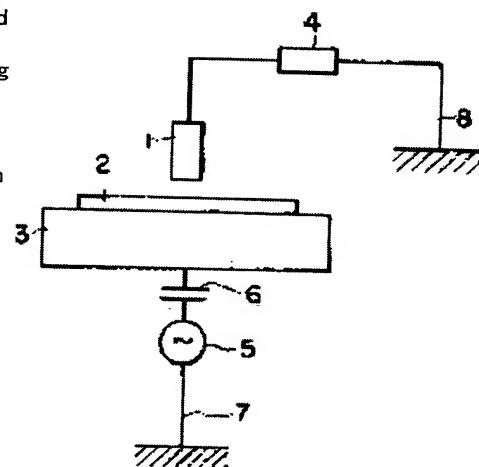
(22)Date of filing : 13.07.1998 (72)Inventor : YAMAMOTO KAZUHIRO

(54) METHOD AND DEVICE FOR FLATTENING WAFER

(57)Abstract:

PROBLEM TO BE SOLVED: To resolve the problems of the expansion and the increase of the COP(crystal-originated particle) present in CZ silicon, when etching amount is increased in local plasma etching (PACE) and to improve the thin-film formation of an SOI(silicon on insulator) wafer and the flattening technology of the silicon wafer.

SOLUTION: In this flattening method, the part of a nozzle 1 is grounded, and conventional isotropic etching can be made to be anisotropic etching by applying high-frequency electric power on a stage 3 through a blocking capacitor. Furthermore, when the flattening of a wafer 2 is performed at a low pressure (10-3-1 Torr) at which the anisotropic etching becomes dominant, the improving effect of the flatness is obtained without expanding or increasing the COP.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-31127

(P 2 0 0 0 - 3 1 1 2 7 A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int. C1. 7

H01L 21/3065
21/304

識別記号

621

F I

H01L 21/302
21/304

7-マコト' (参考)

L 5F004
621 Z

審査請求 未請求 請求項の数 3 FD (全4頁)

(21) 出願番号

特願平10-214794

(22) 出願日

平成10年7月13日 (1998.7.13)

(71) 出願人 000002118

住友金属工業株式会社

大阪府大阪市中央区北浜4丁目5番33号

(72) 発明者 山本 一弘

大阪府大阪市中央区北浜4丁目5番33号

住友金属工業株式会社内

(74) 代理人 100073900

弁理士 押田 良久

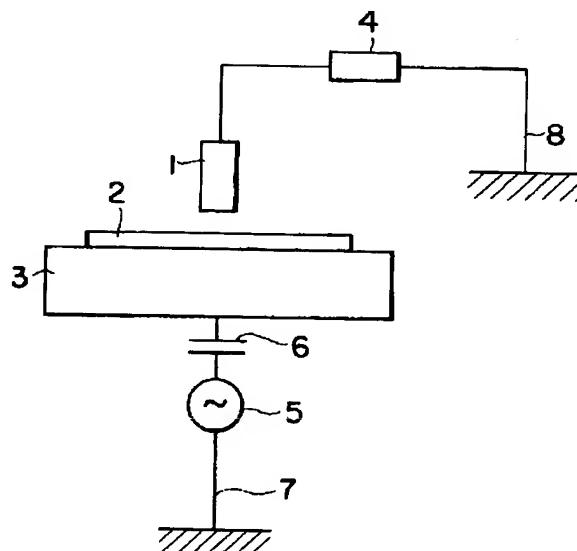
F ターム (参考) 5F004 AA11 BA06 BA20 DB01

(54) 【発明の名称】ウェーハの平坦化方法とその装置

(57) 【要約】

【課題】 局所プラズマエッティング (P A C E) において、エッティング量が多くなるとC Zシリコン中に存在するC O Pを拡大、増加させる問題を解消し、S O I ウェーハの薄膜化やシリコンウェーハの平坦化技術を向上させることができるウェーハの平坦化方法とその装置の提供。

【解決手段】 ノズル1部を接地し、ステージ3にプロッキングコンデンサ6を介して高周波電力5を印加することにより、従来の等方性エッティングを異方性エッティングとすることができる。また、異方性エッティングが支配的になる低圧力 ($10^{-3} \sim 1$ Torr) でウェーハ2の平坦化を行うとC O Pを拡大・増加させることなく、平坦度の向上効果が得られる。



【特許請求の範囲】

【請求項1】 ノズル内部に反応ガスを導入して発生させたプラズマにて、ヘッドノズルと相対移動するウェーハ表面をエッチングして所要のウェーハの平坦度を得るウェーハの平坦化方法において、ノズル部を接地し、ウェーハを載せたステージにブロッキングコンデンサを介して高周波電力を印加し、異方性エッチングを行うウェーハの平坦化方法。

【請求項2】 請求項1において、エッチング中の圧力を低圧力(10^{-3} ~1 Torr)で実施するウェーハの平坦化方法。

【請求項3】 内部に反応ガスを導入して局所プラズマを発生させるヘッドと、ウェーハを載置したステージとを相対移動可能となし、ヘッドからの局所プラズマにてウェーハ表面をエッチングして所要のウェーハの平坦度を得るウェーハの平坦化装置において、ステージにブロッキングコンデンサを介して高周波電力を印加可能とし、ノズル部が接地された構成からなるウェーハの平坦化装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、シリコンウェーハなどのウェーハ表面を局部的にプラズマエッチングして所要のウェーハの平坦度を得るウェーハの平坦化方法と装置の改良に係り、局所プラズマエッチング(PACE)におけるラジカルエッチングが支配的な等方性エッチングを、イオンエッチングが支配的な異方性エッチング化することにより、COP(Crystal Originated Particle)を拡大、増加させることなく、SOI(Silicon On Insulator)ウェーハの薄膜化やシリコンウェーハの平坦化技術を向上させることができるウェーハの平坦化方法とその装置に関する。

【0002】

【従来の技術】シリコンウェーハ上に形成した酸化膜絶縁層の上に、さらに高品質な単結晶シリコン層、すなわちSOI(Silicon On Insulator)活性層を均一に形成した構造を有するSOIウェーハは素子間分離を非常に容易にするため、デバイスの高集積化、低消費電力化、高速化が期待でき、一部では実用化が進んでいる。

【0003】SOIウェーハのSOI活性層の厚みは、素子構造により異なり、例えば高速用CMOSでは $0.1\mu m$ またはそれ以下、Bi-CMOSでは $0.5\sim1.0\mu m$ 、バイポーラでは $1\sim5\mu m$ 、大電力用やセンサ用として数 μm 以上が要求されている。

【0004】SOIウェーハを製造する方法としては種々提案されているが、代表的なSOIウェーハとしては、貼り合わせSOI基板とSIMOX(Separation by Implanted Oxygen)

ウェーハがある。

【0005】貼り合わせ方法は、SOI活性層となるボンドウェーハを熱酸化して酸化膜を設け、酸化膜のないベースウェーハと室温で貼り合わせた後、結合強度を高めるため結合アニールを酸化雰囲気で行い、その後、ボンドウェーハを研削、研磨により薄膜化することにより、貼り合わせSOIウェーハを作製している。

【0006】貼り合わせたボンドウェーハを研削、研磨により薄膜化するため、SOI活性層が比較的厚い場合は安定的に得られるが、 $0.1\mu m$ またはそれ以下の厚みに制御するには困難であるとされてきた。

【0007】そこで、SOIウェーハのSi活性層を薄膜化する技術に局所プラズマを用いてエッチングを行うPACE(plasma assisted chemical etching)法が提案(特開平5-160074、特開平5-190499、特開平9-252100等)されている。

【0008】詳述すると、従来の研削研磨法によって得られた面の厚さむらは、可視光の干渉じまを利用して、

20 二次元のCCDとの組み合わせにより高速で測定が可能であることから、予め計測したSOIウェーハのSOI活性層の厚さ分布をコンピュータに入力し、厚さむらの大きさに応じて、例えば、プラズマを低真空で閉じ込めたヘッドノズルに対してウェーハの移動速度を調整するもので、ヘッドノズルの直径は精度と生産性から適宜選定される。また逆にヘッドノズルをウェーハ上で移動させることもできる。

【0009】

【発明が解決しようとする課題】このPACEによるプラズマエッチングは、エッチング量が多くなるとCZシリコン中に存在するCOPを拡大、増加させてしまう、いわゆるSC1洗浄を繰り返し洗浄した状態と同様になる問題がある。

【0010】このPACEのプラズマエッチング条件は、図2に示すとく、ヘッドノズル1にマッチングボックス4を介して高周波電源5が接続され、ウェーハ2を載置するステージ3が接地9されている構成からなり、ヘッドノズル1に高周波電力が印加されてラジカルエッチングが支配的な等方性エッチングである。

【0011】PACEのエッチング条件に関して、特開平6-5571には、等方性エッチング及び異方性エッチング条件をガス圧力とRFパワー密度の比率で規定して実現する方法が提案され、どちらのエッチング条件においても、突起状の形状がエッチングとともに縮小させることができるとしている。

【0012】また、特開平6-5571では装置構成について、ウェーハが置かれるステージがアースされていることが望ましいとしているが、双方のエッチング条件を実現するための、適切な装置構成は示していない。さらに、COPのような瘤についての効果を示し

ていない。

【0013】この発明は、局所プラズマエッティング（PACE）において、エッティング量が多くなるとCZシリコン中に存在するCOPを拡大、増加させる問題を解消し、SOIウェーハの薄膜化やシリコンウェーハの平坦化技術を向上させることができるとウェーハの平坦化方法とその装置の提供を目的としている。

【0014】

【課題を解決するための手段】発明者らは、PACEにおけるラジカルエッティングが支配的な等方性エッティングを、イオンエッティングが支配的な異方性エッティング化することを目的に、高周波電力の印加条件について種々検討した結果、ノズル部を接地し、ステージにブロッキングコンデンサを介して高周波電力を印加することにより、従来の等方性エッティングを異方性エッティングとすることが可能であり、また、異方性エッティングが支配的になる低圧力（ 10^{-3} ～1 Torr）でウェーハの平坦化を行うと平坦度の向上効果が得られることを知見し、この発明を完成した。

【0015】また、発明者らは、内部に反応ガスを導入して局所プラズマを発生させるヘッドと、ウェーハを載置したステージとを相対移動可能となし、ヘッドからの局所プラズマにてウェーハ表面をエッティングして所要のウェーハの平坦度を得るウェーハの平坦化装置において、ステージにブロッキングコンデンサを介して高周波電力を印加可能となし、ノズル部側で接地された構成からなることを特徴とするウェーハの平坦化装置を提案する。

【0016】

【発明の実施の形態】この発明は、PACEにおいて、異方性プラズマエッティングを実施してウェーハの平坦化することを特徴とするもので、装置としては、図1に示すとく、ウェーハ2を載せたステージ3にブロッキングコンデンサ6を介して高周波電源5を接続して接地7してあり、ヘッドノズル1側はマッチングボックス4を介して接地8した、カソードカッピング構成からなる。

【0017】かかる構成によって、ウェーハ2が載せられたステージ3はプラズマ中の電子が蓄積し負に帯電する。この負電圧はセルフバイアスと呼ばれ、その大きさは、プラズマが発生している部分のステージ3の表面積と、対抗電極であるノズル1の表面積の大きさで決定される。

【0018】従って、表面積の小さい方がセルフバイアスは大きくなる。当然、セルフバイアスが大きい方が異方性エッティングが支配的になる。異方性エッティングは、このセルフバイアスに加速されたイオンによる縦方向のエッティングが支配的になることで実現できる。従来の構成では、ステージがアースされており、ステージが負に帯電することないので異方性エッティングは実現しな

い。

【0019】また、エッティング中の圧力は、低い方がエッティングに寄与するイオン種の平均自由行程が長くなり、衝突によるイオンエネルギーの損失を少なくできるので、異方性エッティングが支配的になる。従って、 10^{-3} ～1 Torrの低圧力下が望ましい条件であり、低圧力で高プラズマ密度が最も望ましい。

【0020】

【実施例】図2に示す従来のアノードカッピングの構成からなる装置を用いて、PACEによるウェーハの平坦化方法を、8インチウェーハに対して、エッティングガスSF₆、反応室圧力2～3 Torr、高周波電力30～90Wの条件で実施し、30～45分、Si層2～3μmのエッティングを行った。

【0021】エッティング後、0.2μm以上のLPDを測定したところ、8インチウェーハで200～300個観察された。これをAFMにて形状観察したところ、0.7μm以下の大きさのものは全てピットであり、パーティクルではないことが判明した。すなわち、従来の条件では、等方性エッティングであるため、COPを増加、拡大させてしまう。

【0022】これに対して、ブロッキングコンデンサを介して、ステージに高周波電力を印加する、図1のカソードカッピング構成からなるこの発明のPACEによるウェーハの平坦化装置を用い、8インチウェーハに対して、反応室圧力0.5～1 Torr、高周波電力30～90Wの条件で実施し、45～60分、Si層2～3μmのエッティングを行った。

【0023】エッティング後、0.2μm以上のLPDを測定したところ、100個以下であり、AFMによる形状観察の結果、0.4μm以下のものがピットであることが判明した。従って、この発明のPACEによるウェーハの平坦化は、シリコンウェーハに存在するCOPの増加、拡大を抑制することができる。

【0024】

【発明の効果】この発明は、従来のPACEにおけるラジカルエッティングが支配的な等方性エッティングを、装置の構成をカソードカッピングとすることにより、イオンエッティングが支配的な異方性エッティングを実現したものの、COPを拡大、増加させることなく、SOIウェーハの薄膜化やシリコンウェーハの平坦化技術を向上させることができる。

【図面の簡単な説明】

【図1】この発明によるウェーハの平坦化装置の構成を示す説明図である。

【図2】従来のウェーハの平坦化装置の構成を示す説明図である。

【符号の説明】

- 1 ヘッドノズル
- 2 ウェーハ

5

6

3 ステージ

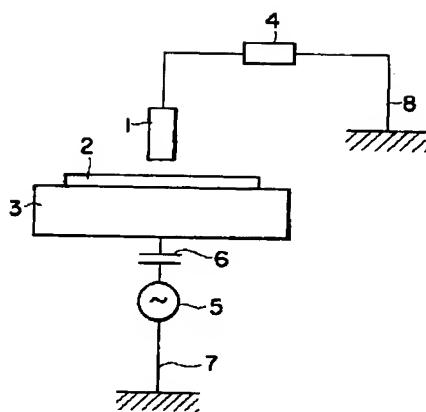
6 ブロッキングコンデンサ

4 マッチングボックス

7, 8, 9 接地

5 高周波電源

【図 1】



【図 2】

